

南京航空航天大学

第 1 页 (共 9 页)

二〇一八~二〇一九学年 第 2 学期 《计算机组成原理》 考试试题

考试日期: 2019 年 月 日 试卷类型: A 卷 试卷代号:

班号 学号 姓名

题号	一	二	三	四	五	六	七	八	九	十	总分
得分											

本题分数	10 分
得 分	

一、判断对错, 并分别用 T/F 表示正确/错误 (每题 1 分)

1. (T) 流水线 CPU 设计可以提高指令执行的流量。
2. (T) 在单周期数据通路中, 被两寄存器指定的“Read Addr 1” and “Read Addr 2”总是处于读状态。
3. (F) 在执行 LW 指令时, “Read Data 2”的内容用于基地址。
4. (F) 在单周期数据通路中, “MemRead”信号和“MemWrite”信号可同时声明为有效。
5. (T) 两条连续的指令之间有数据冒险, 如“LW”后跟着“SW”, 可以通过数据转发部件来解决。
6. (F) 在 5 段流水 CPU 设计中, “RegDst”控制信号在 WB 阶段使用。
7. (F) 为了解决控制冒险, 内存被分为 IM 和 DM 两部分。
8. (T) load-use 冒险可以在 LW 指令的 EXE 阶段被发现。
9. (F) 为了在 ID 阶段知道 Branch 指令的去向而减少 branch 延迟, 存在 ID/EXE 流水器的 ALU 结果应该被转发到 ID 阶段。
10. (F) 当 CPU 执行写操作并且 Cache 命中, 写回 (Write Back) 策略可以让 Cache 和内存中的相应数据都更新。

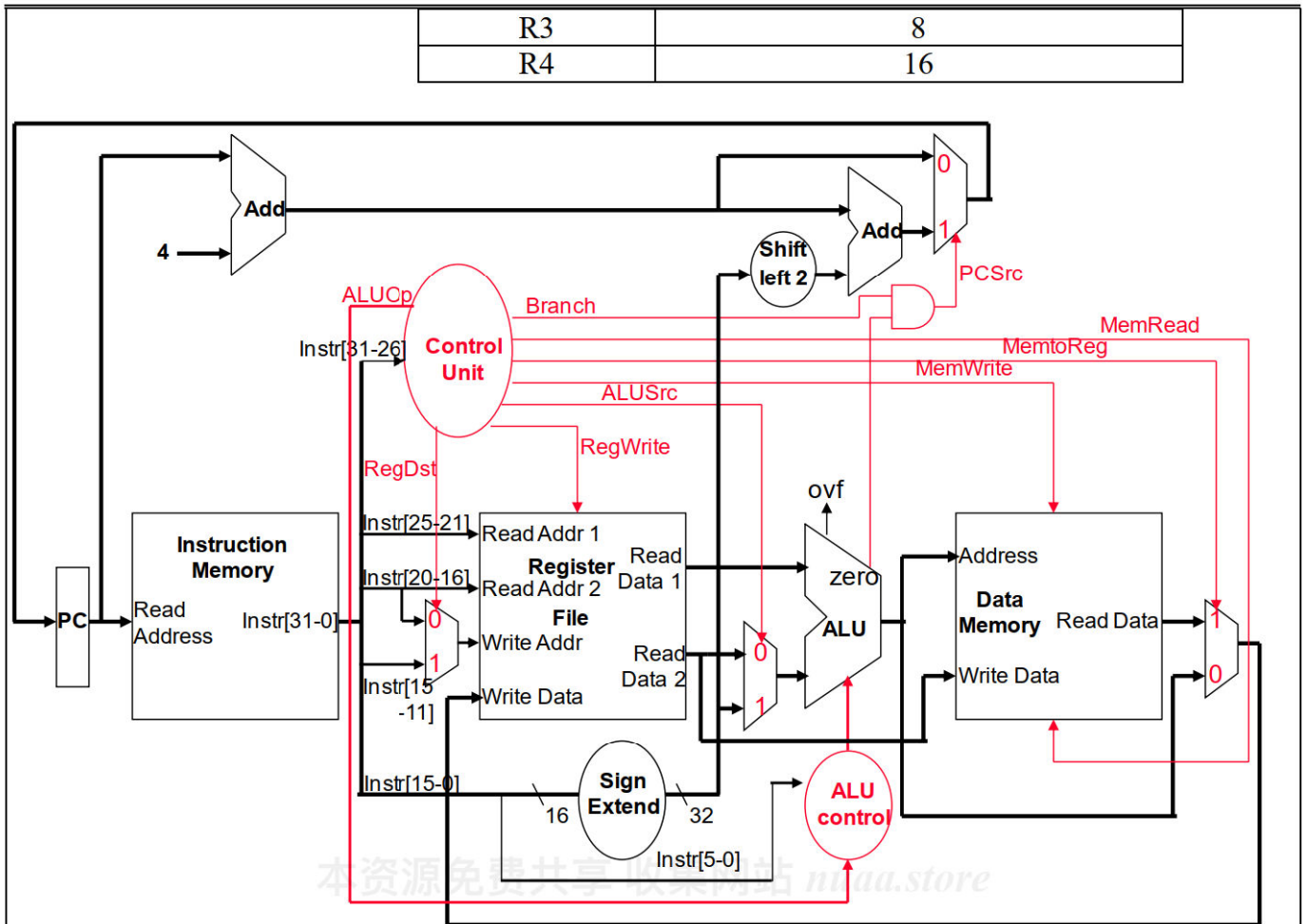
二. 如图所示的单周期数据通路执行如下指令

```
Address (Byte)      Instruction
100                  beq $R2, $R4, 7 # The address of register Rn is n
# The value of the offset is 7
```

执行上述指令前各寄存器的内容如下表:

Register	Value (in decimal format)
R1	12
R2	16

本题分数	15 分
得 分	



a) (5 pts) 将指令转换为 2 进制表示的 32 位机器码。

beg \$R2, \$R4, 7
 $31 \quad 26 \quad 25 \quad 21 \quad 20 \quad 16 \quad 15 \quad 0$
 000100 000100 00100 0000 0000 0000 0111
 opcode R2 R4 offset

b) (10pts) 除非特别声明, 请以 10 进制方式填写下表中执行该指令时的数据通路信号值和控制信号值, 若值未知或不需, 可用 x 表示。

Signal		Value
Register File	Read Addr 1	00010
	Read Addr 2	00100
	Write Addr	x
	Write Data	x
RegWrite		0
ALUCp		01 (show value in binary format)
MemtoReg		0
ALUSrc		0

Zero	1
The address to be stored in PC	132

三. 在两个不同的CPU上, 如非流水CPU和流水CPU上执行15000条指令, 假定指令之间没有数据相关。

本题分数	15 分
得 分	

a) (5 pts) 对于非流水CPU, 时钟周期是3ns, 计算全部15000条指令的执行时间。

$$3 \times 15000 = 45000 \text{ ns}$$

b) (5 pts) 对于流水CPU, 若有9个阶段, 时钟周期为0.4ns, 计算全部15000条指令执行的时间。

$$9 \times 0.4 + 0.4 \times 14999 = 6003.6 \text{ ns}$$

c) (5 pts) 请问两种CPU的加速比。

$$S_p = \frac{T_i}{T_p} = \frac{45000}{6003.6} = 7.456$$

本题分数	30 分
得 分	

四. 假定如下的指令序列执行在 5 段流水上

a) (10 pts) 列出无数据转发和数据转发情形下的所有数据冲突, 并表示为 R# from I# to I#, 此处表示寄存器 R#在从指令 I#到另一条指令

I#时出现了数据冲突。

Instruction sequence	Without Forwarding	With Forwarding
I1: add \$R2, \$R1, \$R3 I2: lw \$R1, 40(\$R2) I3: addi \$R4, \$R1, -1 I4: and \$R4, \$R1, \$R2	R2 from I1 to I2 R1 from I2 to I3 R1 from I2 to I4 R2 from I1 to I4	

b) (10 pts) 插入最少量的 NOPS 以解决数据冒险。

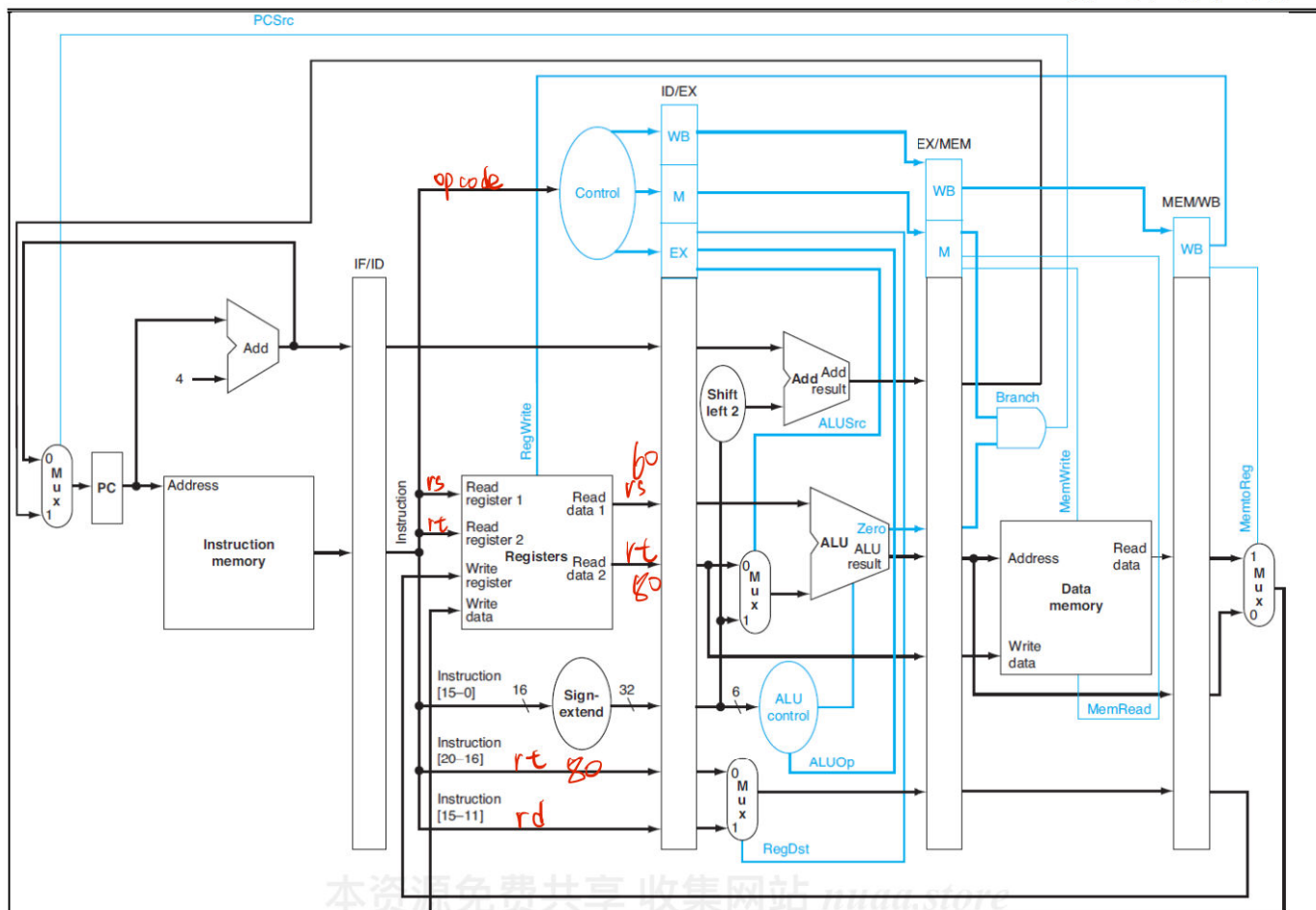
Instruction sequence	Without Forwarding	With Forwarding, without hazard detection/stall
add \$R2, \$R1, \$R3 lw \$R1, 40(\$R2) addi \$R4, \$R1, -1 and \$R4, \$R1, \$R2	00 00	0

c) (10 pts) 请填写出指令序列在 5 段流水下是如何执行的, 有完全的转发单元和冲突检测硬件。请用 IF, ID, EX, MEM, WB 指定相应 5 个阶段, 并指出气泡是如何插入到流水线中的。

	cc1	cc2	cc3	cc4	cc5	cc6	cc7	cc8	cc9	cc10
add \$R2, \$R1, \$R3	IF	ID	EX	MEM	WB					
lw \$R1, 40(\$R2)		IF	ID	EX	MEM	WB				
addi \$R4, \$R1, -1 <i>beamos nop</i>			IF	ID	气泡	气泡	气泡			
and \$R4, \$R1, \$R2				IF	ID	EX	MEM	WB		
lw \$R1, 40(\$R2)		IF	ID	EX	MEM	WB				
addi \$R4, \$R1, -1			IF	ID	气泡	EX	MEM	WB		
and \$R4, \$R1, \$R2					IF	ID	EX	MEM	WB	

本题分数	15 分
得 分	

五. 对于如下指令, 填写出 ID/EX 流水寄存器中的内容:
^{rt} 2000 ^{rs} SW R16, 64(R12) # 2000 is the address of the instruction
 ⁸⁰ ⁶⁰ # the address of register Rn is n
 # the contents of R12 and R16 are 60 and 80, respectively.



本资源免费共享 收集网站 www.stone

ID/EX

Data Path	PC+4		2004
	Read data 1		60
	Read data 2		80
	Signed extended lower 16 bits		00000000 00000000
	Address of Rt		16
	Address of Rd		X
Control	EX (偏移 RSPD 加减 目标寄存器)	ALUSrc	1
		ALUOp (binary)	00
		RegDst	X
	M	Branch	0
		MemWrite	1
		MemRead	0
	WB	MemtoReg	1 X
RegWrite		0	

000 2⁴ 2⁷ 2² 2¹ 2⁰

六. a) (3分) 计算 loop 循环中 branch 指令的偏移地址。

本题分数	15分
得分	

offset = 0x ~~XXXX~~ -5

loop: instr1
instr2

8 instr3
2 instr4
16 BEQ R1, R0, <offset>
continue.....

假定有 2-路组相关 Cache, 大小为 128 组且 Cache 块大小为 32 字节, PC 按 32 位编址, 即从 bit31 到 bit0。

b) (4分) 请问相应字段的地址范围。主存??

Tag	Index	Block offset	Byte offset
bit31 bit 12	bit 11 bit 5	bit 4 bit 2	bit 1 bit0

c) (4分) How big is the cache in terms of bits, assuming each cache line contains one valid bit?
请问 Cache 有多大, 这里以 bit 为单位, 且每个 Cache 线包含一个有效位。

10 A
11 B
2x2⁷ (20+1) + 2⁵ x 2³ = 277 x 128 x 2
= 35456 bit x 2
= 70912 bit

六. (3分) a) offset = 0xFFFF

b) (4pts)

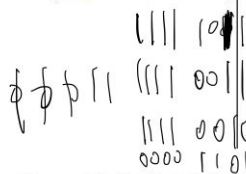
Tag	Index	Block offset	Byte offset
bit31 bit 12	bit 11 bit 5	bit 4 bit 2	bit 1 bit0

c) (4 pts)

Solution: 256 x (1+20+256) = 256 x 277 = 70912

e) (4分)

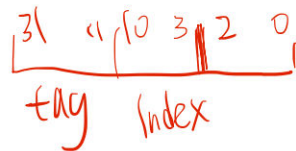
No. of blocks = 2 x 128 x 32 / 8 = 1024
No. of bits in index = 10
Bit range: bit12 to bit 3



d) (4分) 若Cache采用直接映射方式, 索引需要多少位, 假定 Cache 的大小保持不变且 Cache 块大小为 8 个字节, 这里仍旧以 32 位地址中占哪些位指示索引范围。

2⁸ 行

8 位



cache 原来有 128*2=256 块, 每块 8 个字 (32 字节), 总容量不变, 每块缩小为 2 个字 (8 字节), 那么块数变为 4 倍, 也就是 1024 块, 直接映射, 那么索引就是 10 位

每块两个字, 字偏移量 1, 字节偏移量 2, 所以 bit 从 3 开始, 到 12

tag

主存 $2^{32} = 2^3 \cdot 2^9 = 2^3 \cdot 2^{29} = 2^3 \cdot 2^8 \cdot 2^{21}$

cache 容量 $y = 2^3 \cdot 2^8 = 70912$